



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11312952 A

(43) Date of publication of application: 09 . 11 . 99

(51) Int. Cl. H03H 15/00
H03H 17/02
H04B 1/707

(21) Application number: 10264759

(22) Date of filing: 18 . 09 . 98

(30) Priority: 25 . 02 . 98 JP 10 60569

(71) Applicant: YOZAN INC

(72) Inventor: SHU NAGAAKI

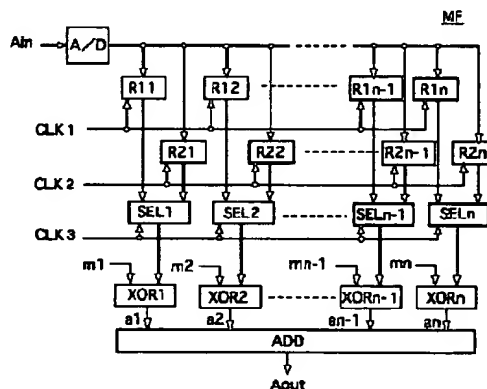
(54) MATCHED FILTER AND SIGNAL RECEIVER

(57) Abstract:

PROBLEM TO BE SOLVED: To make a circuit scale small in a matched filter of an analog addition type which uses 1 bit of a diffusion code.

SOLUTION: An analog signal is A/D converted and successively stored in a register group of two systems of data registers R11 to R1n and R21 to R2n. An output of each of the data registers R11 to R1n and R21 to R2n is selectively inputted by selectors SEL1 to SELn to exclusive OR circuits XOR1 to XORn, the exclusive OR of the digital data each bit and the diffusion codes m1 to mn is calculated, and its output is analog added by an analog adder ADD.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-312952

(43) 公開日 平成11年(1999)11月9日

(51) Int.Cl.⁶

H 0 3 H 15/00

17/02

H 0 4 B 1/707

識別記号

6 0 1

F I

H 0 3 H 15/00

17/02

H 0 4 J 13/00

6 0 1 Z

D

審査請求 未請求 請求項の数22 O L (全 16 頁)

(21) 出願番号 特願平10-264759

(22) 出願日 平成10年(1998)9月18日

(31) 優先権主張番号 特願平10-60569

(32) 優先日 平10(1998)2月25日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000127178

株式会社応山

東京都世田谷区北沢3-5-18

(72) 発明者 周 長明

東京都世田谷区北沢3-5-18 応山ビル

株式会社応山内

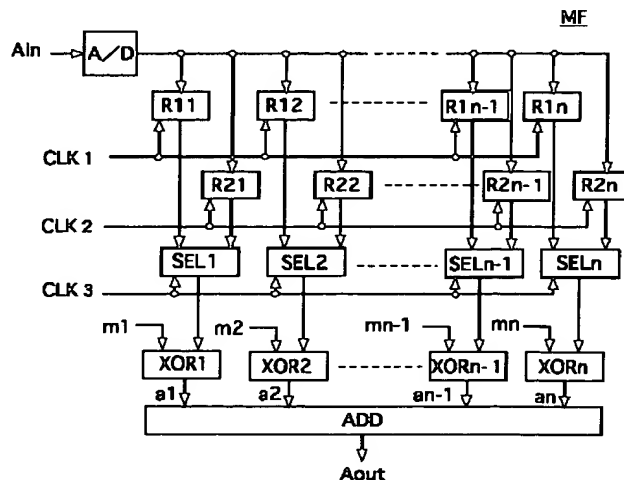
(74) 代理人 弁理士 山本 誠

(54) 【発明の名称】 マッチドフィルタおよび信号受信装置

(57) 【要約】

【課題】 1ビットの拡散符号を用いるアナログ加算タイプのマッチドフィルタにおいて回路規模を小さくする。

【解決手段】 アナログ入力信号をA/D変換し、データレジスタR11~R1nおよびR21~R2nの2系統のレジスタ群に順次格納する。各データレジスタR11~R1nおよびR21~R2nの出力をセレクトSEL1~SELnにより選択的に排他的論理和回路XOR1~XORnに入力し、そのデジタルデータ各ビットと拡散符号m1~mnとの排他的論理和を算出し、その出力をアナログ加算器ADDでアナログ加算する。



【特許請求の範囲】

【請求項 1】 アナログ入力信号をデジタル信号に変換する A/D 変換器と、
前記 A/D 変換器から出力されるデータが順次格納されるデータ格納手段と、

1 ビットの乗数データを出力する乗数供給手段と、
前記データ格納手段の各段に対応して設けられ、前記データ格納手段の各段に格納されているデータと前記乗数供給手段からの対応する乗数データとの排他的論理和を算出する排他的論理和回路と、
前記排他的論理和回路の出力を加算するアナログ加算回路とを有することを特徴とするマッチドフィルタ。

【請求項 2】 前記データ格納手段は複数系統設けられており、

前記 A/D 変換器は複数倍のサンプリングレートとされ、
前記各系統のデータ格納手段からの出力は前記排他的論理和回路に択一的に inputs され、
前記アナログ加算回路は、前記各系統のデータ格納手段のデータに対応した排他的論理和回路出力を時分割で演算するように構成されていることを特徴とする前記請求項 1 記載のマッチドフィルタ。

【請求項 3】 前記データ格納手段は、前記 A/D 変換器の出力に並列に接続され、サンプリングクロックに呼応して択一的に前記 A/D 変換器出力を取込むようになされた複数のデータレジスタであり、
前記乗数供給手段は、前記サンプリングクロックに応じて、前記排他的論理和回路に供給する乗数データを順次シフトするように構成されていることを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

【請求項 4】 前記データ格納手段は、サンプリングクロックに応じて前記 A/D 変換器の出力が inputs されるシフトレジスタにより構成されており、
前記乗数供給手段は当該乗数データを格納するレジスタにより構成されていることを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

【請求項 5】 前記 A/D 変換器は前記アナログ入力信号を符号付きデジタルデータに変換するものであり、
前記排他的論理和回路は、前記データ格納手段の各段に格納されているデータの符号ビットと前記 1 ビットの乗数との排他的論理和を演算するものであることを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

【請求項 6】 前記乗数供給手段は複数の乗数データを格納する手段を有し、該複数の格納する手段からの乗数データ系列を選択的に前記排他的論理和回路に供給するようになされていることを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

【請求項 7】 前記乗数供給手段は、前記複数の格納する手段からの乗数データ系列を時分割で前記排他的論理和回路に供給するようになされており、

前記アナログ加算回路は、前記排他的論理和回路からの前記複数の乗数データ系列に対する乗算結果出力を時分割で加算するように構成されていることを特徴とする前記請求項 6 記載のマッチドフィルタ。

【請求項 8】 前記乗数供給手段は、乗数データ系列および該乗数データ系列を 1 ビット以上循環シフトした乗数データ系列を選択的に前記排他的論理和回路に供給することができるようになされていることを特徴とする前記請求項 3 記載のマッチドフィルタ。

10 【請求項 9】 前記排他的論理和回路は排他的論理和演算の結果に応じて、外部から供給される高レベル電圧あるいは低レベル電圧を選択的に出力するようになされていることを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

【請求項 10】 複数の前記排他的論理和回路の出力に応じて、外部から供給される高レベル電圧あるいは低レベル電圧を前記アナログ加算回路に供給するようになされていることを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

20 【請求項 11】 前記アナログ加算回路は、前記各排他的論理和回路から出力される信号のうちの同一の桁同士を加算する各桁に対応して設けられた複数の加算器と、前記複数の加算器の出力を重み付け加算する重み付き加算器を有することを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

【請求項 12】 前記アナログ加算回路は、前記各排他的論理和回路から出力される信号を重み付け加算する複数の重み付き加算器と、該複数の重み付き加算器の出力を加算する加算器とを有することを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

30 【請求項 13】 前記加算器および重み付き加算器は、入力信号を加算あるいは重み付き加算する容量結合と、この容量結合の出力が inputs される反転増幅器であって、その入出力に帰還キャパシタンスが接続された反転増幅器とを有することを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

【請求項 14】 前記加算器および重み付き加算器は、入力信号を加算あるいは重み付き加算するレジスタンス結合と、このレジスタンス結合の出力が inputs される反転増幅器であって、その入出力に帰還レジスタンスが接続された反転増幅器とを有することを特徴とする前記請求項 1 あるいは 2 記載のマッチドフィルタ。

【請求項 15】 前記反転増幅器は奇数段直列接続された CMOS インバータにより構成されていることを特徴とする前記請求項 1 3 あるいは 1 4 記載のマッチドフィルタ。

【請求項 16】 前記反転増幅器は MOS 差動増幅器により構成されていることを特徴とする前記請求項 1 3 あるいは 1 4 記載のマッチドフィルタ。

50 【請求項 17】 前記反転増幅器は外部からの信号に応

じてスリープ状態となるようになされていることを特徴とする前記請求項13あるいは14記載のマッチドフィルタ。

【請求項18】 受信信号を直交検波した信号と1ビットの拡散符号系列との相関演算を実行するマッチドフィルタを少なくとも備えたDS-CDMA方式用信号受信装置であって、

前記マッチドフィルタは、

前記直交検波した信号をデジタル信号に変換するA/D変換器と、

前記A/D変換器から出力されるデータが順次格納されるデータ格納手段と、

前記1ビットの拡散符号系列を出力する乗数供給手段と、

前記データ格納手段の各段に対応して設けられ、前記データ格納手段の各段に格納されているデータと前記乗数供給手段からの対応する1ビットの拡散符号系列との排他的論理和を算出する排他的論理和回路と、

前記排他的論理和回路の出力を加算するアナログ加算回路とを有するものであることを特徴とする信号受信装置。

【請求項19】 前記データ格納手段は複数系統設けられており、

前記A/D変換器は受信信号のチップレートの複数倍のサンプリングレートとされ、

前記各系統のデータ格納手段からの出力は前記排他的論理和回路に択一的に入力され、

前記アナログ加算回路は、前記各系統のデータ格納手段のデータに対応した排他的論理和回路出力を時分割で加算するように構成されていることを特徴とする前記請求項18記載の信号受信装置。

【請求項20】 前記アナログ加算回路は、マッチドフィルタ出力の相関ピークのタイミング以外のタイミングではスリープ状態とされることを特徴とする前記請求項19記載の信号受信装置。

【請求項21】 前記乗数供給手段は、マッチドフィルタの出力の相関ピークのタイミングに対応するように循環シフトされる拡散符号系列を出力するようになされていることを特徴とする前記請求項20記載の信号受信装置。

【請求項22】 前記A/D変換器の出力が入力される複数のスライディング相関器を備え、前記マッチドフィルタを用いて初期同期を行い、前記複数のスライディング相関器を用いて受信を行うことを特徴とする前記請求項18記載の信号受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマッチドフィルタおよび信号受信装置に係り、特に、DS-CDMAセルラシステムに好適なマッチドフィルタおよび信号受信装置

に関する。

【0002】

【従来の技術】近年、移動無線システムや無線LANなどの無線通信システムの分野において、スペクトラム拡散通信方式、特に、DS-CDMA通信方式が注目を集めている。スペクトラム拡散通信方式においては、情報変調された送信データをさらにPN符号を用いて拡散変調して送信し、受信側においては該スペクトラム拡散変調された信号と前記PN符号との相関をとって逆拡散を行い、さらに情報復調してもとの送信データを復調するように構成されている。この逆拡散を行う手段としては、スライディング相関器あるいはマッチドフィルタが用いられている。スライディング相関器は回路規模は小さいが相関演算を実行するために多くの時間を必要とする。一方、マッチドフィルタは回路規模は大きくなるが、高速に相関処理を実行することができる。

【0003】一般に、マッチドフィルタとしては、CCD (Charge Coupled Device) やSAW (Surface Acoustic Wave) フィルタを用いたもの、あるいは、デジタルIC回路によるものなどが知られている。また、本出願人は、低消費電力化および高精度演算を可能とするアナログデジタルマッチドフィルタを提案している(特開平06-164320号公報)。このマッチドフィルタは、入力アナログ信号を複数個のサンプルホールド回路に順次サンプルホールドして記憶し、係数データを順次循環シフトするようにして、離散化されたサンプル信号とデジタルの係数データとをアナログデジタル乗算器により乗算し加算するようにしたものであり、低消費電力および高精度の相関演算を実行することができるようにしたものである。

【0004】

【発明が解決しようとする課題】しかしながら、前述したマッチドフィルタは、極めて多くのアナログ・サンプルホールド回路を必要とし、そのリフレッシュ等の付加回路を含めると回路規模が大となるという問題があった。

【0005】本発明はこのような従来の問題点を解消すべく創案されたもので、低消費電力という特徴を保持しつつ回路規模を大幅に縮小し得るマッチドフィルタを提供することを目的としている。また、上記マッチドフィルタを用いた、低消費電力かつ小型化された信号受信装置を提供することを目的としている。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明のマッチドフィルタは、アナログ入力信号をデジタル信号に変換するA/D変換器と、前記A/D変換器から出力されるデータが順次格納されるデータ格納手段と、1ビットの乗数データを出力する乗数供給手段と、前記データ格納手段の各段に対応して設けられ、前記データ格納手段の各段に格納されているデータと前記

10

20

30

40

50

乗数供給手段からの対応する乗数データとの排他的論理和を算出する排他的論理和回路と、前記排他的論理和回路の出力を加算するアナログ加算回路とを有するものである。また、前記データ格納手段は複数系統設けられており、前記A/D変換器は複数倍のサンプリングレートとされ、前記各系統のデータ格納手段からの出力は前記排他的論理和回路に択一的にされ、前記アナログ加算回路は、前記各系統のデータ格納手段のデータに対応した排他的論理和回路出力を時分割で演算するように構成されているものである。

【0007】さらに、前記データ格納手段は、前記A/D変換器の出力に並列に接続され、サンプリングクロックに呼応して択一的に前記A/D変換器出力を取込むようになされた複数のデータレジスタであり、前記乗数供給手段は、前記サンプリングクロックに応じて、前記排他的論理和回路に供給する乗数データを順次シフトするように構成されているものである。さらにまた、前記データ格納手段は、サンプリングクロックに応じて前記A/D変換器の出力が入力されるシフトレジスタにより構成されており、前記乗数供給手段は当該乗数データを格納するレジスタにより構成されているものである。さらにまた、前記A/D変換器は前記アナログ入力信号を符号付きデジタルデータに変換するものであり、前記排他的論理和回路は、前記データ格納手段の各段に格納されているデータの符号ビットと前記1ビットの乗数との排他的論理和を演算するものとされている。

【0008】さらにまた、前記乗数供給手段は複数の乗数データを格納する手段を有し、該複数の格納する手段からの乗数データ系列を選択的に前記排他的論理和回路に供給するようになされているものである。さらにまた、前記乗数供給手段は、前記複数の格納する手段からの乗数データ系列を時分割で前記排他的論理和回路に供給するようになされており、前記アナログ加算回路は、前記排他的論理和回路からの前記複数の乗数データ系列に対する乗算結果出力を時分割で加算するように構成されているものである。さらにまた、前記乗数供給手段は、乗数データ系列および該乗数データ系列を1ビット以上循環シフトした乗数データ系列を選択的に前記排他的論理和回路に供給することができるようになされているものである。

【0009】さらにまた、前記排他的論理和回路は排他的論理和演算の結果に応じて、外部から供給される高レベル電圧あるいは低レベル電圧を選択的に出力するようになされているものである。さらにまた、複数の前記排他的論理和回路の出力に応じて、外部から供給される高レベル電圧あるいは低レベル電圧を前記アナログ加算回路に供給するようになされているものである。さらにまた、前記アナログ加算回路は、前記各排他的論理和回路から出力される信号のうちの同一の桁同士を加算する各桁に対応して設けられた複数の加算器と、前記複数の加

算器の出力を重み付け加算する重み付き加算器を有するものである。さらにまた、前記アナログ加算回路は、前記各排他的論理和回路から出力される信号を重み付け加算する複数の重み付き加算器と、該複数の重み付き加算器の出力を加算する加算器とを有するものである。

【0010】さらにまた、前記加算器および重み付き加算器は、入力信号を加算あるいは重み付き加算する容量結合と、この容量結合の出力が入力される反転増幅器であって、その入出力に帰還キャパシタンスが接続された反転増幅器とを有するものである。さらにまた、前記加算器および重み付き加算器は、入力信号を加算あるいは重み付き加算するレジスタンス結合と、このレジスタンス結合の出力が入力される反転増幅器であって、その入出力に帰還レジスタンスが接続された反転増幅器とを有するものである。さらにまた、前記反転増幅器は奇数段直列接続されたCMOSインバータにより構成されているものである。さらにまた、前記反転増幅器はMOS差動増幅器により構成されているものである。さらにまた、前記反転増幅器は外部からの信号に応じてスリープ状態となるようになされているものである。

【0011】さらにまた、本発明の信号受信装置は、受信信号を直交検波した信号と1ビットの拡散符号系列との相関演算を実行するマッチドフィルタを少なくとも備えたDS-SS方式用信号受信装置であって、前記マッチドフィルタは、前記直交検波した信号をデジタル信号に変換するA/D変換器と、前記A/D変換器から出力されるデータが順次格納されるデータ格納手段と、前記1ビットの拡散符号系列を出力する乗数供給手段と、前記データ格納手段の各段に対応して設けられ、前記データ格納手段の各段に格納されているデータと前記乗数供給手段からの対応する1ビットの拡散符号系列との排他的論理和を算出する排他的論理和回路と、前記排他的論理和回路の出力を加算するアナログ加算回路とを有するものである。さらにまた、前記データ格納手段は複数系統設けられており、前記A/D変換器は受信信号のチップレートの複数倍のサンプリングレートとされ、前記各系統のデータ格納手段からの出力は前記排他的論理和回路に択一的にされ、前記アナログ加算回路は、前記各系統のデータ格納手段のデータに対応した排他的論理和回路出力を時分割で加算するように構成されているものである。

【0012】さらにまた、前記アナログ加算回路は、マッチドフィルタ出力の相関ピークのタイミング以外のタイミングではスリープ状態とされるものである。さらにまた、前記乗数供給手段は、マッチドフィルタの出力の相関ピークのタイミングに対応するように循環シフトされる拡散符号系列を出力するようになされているものである。さらにまた、前記A/D変換器の出力が入力される複数のスライディング相関器を備え、前記マッチドフィルタを用いて初期同期を行い、前記複数のスライディ

ング相関器を用いて受信を行うようになされているものである。

【0013】

【発明の実施の形態】図1は、本発明のマッチドフィルタが用いられたDS-CDMAセルラシステムの信号受信装置の要部の構成を示すブロック図である。この図において、1は中間周波信号IFを直交検波して同相成分（I成分）と直交成分（Q成分）に分離する直交検波回路である。31および32は本発明に係るマッチドフィルタであり、前記直交検波回路1からローパスフィルタ21および22を介して入力されるI成分およびQ成分の信号を逆拡散する。マッチドフィルタ31および32からの逆拡散出力は、サンプルホールド回路81、82およびレベル検出回路4に入力される。

【0014】レベル検出回路4は前記マッチドフィルタ31および32からの出力信号の電力を算出しA/D変換して出力する。このレベル検出回路4の出力は、ノイズ等の影響を除去するため巡回積分回路5において複数シンボルにわたり巡回積分された後、ピーク検出回路6に入力され、該ピーク検出回路6によって所定のしきい値以上の相関ピークが抽出される。該ピーク検出回路6の出力はサンプリングホールド回路制御部7に入力され、この制御部7によって前記抽出された相関ピークに位置（位相）に合わせたサンプルホールド回路81、82のサンプリングタイミングが設定される。すなわち、これにより、所定値以上のピークに対応する逆拡散出力のI、Q両成分がそれぞれ対応するサンプルホールド回路81、82に入力されることとなる。サンプルホールド回路81および82は、前記選択された相関ピークに対応する前記マッチドフィルタ31および32からの逆拡散出力をサンプルホールドし、該サンプルホールド回路81および82の出力は同期検波回路9で同期検波され、レーク合成回路10でタイミングを合わせてレーク合成された後、出力インターフェース（I/F）回路から復調データ（Data）として出力される。

【0015】図2は前記マッチドフィルタ31および32の一実施の形態の構成を示すブロック図である。この図において、マッチドフィルタMFはアナログ入力信号Ain（図1における同相成分または直交成分）が入力されるA/D変換器（A/Dで示す。）を有し、A/D変換器の出力はデータレジスタ列R11～R1nおよびR21～R2nに並列に入力されている。データレジスタ列R11～R1nはクロックCLK1により制御され、循環的にR11～R1nのうちのいずれか1個のデータレジスタが前記A/D変換器の出力を取込むようになされている。また、前記データレジスタ列R21～R2nは前記クロックCLK1と半周期位相がシフトしている第2のクロックCLK2により制御されており、循環的にR21～R2nのうちのいずれか1個のデータレジスタが前記A/D変換器の出力を取込むようになされ

ている。

【0016】前記データレジスタ列に対応して、セレクトア列SEL1～SELn、排他的論理和回路列XOR1～XORnが設けられ、前記データレジスタR11とR21の出力は対応するセレクトアSEL1に、レジスタR12とR22の出力は対応するセレクトアSEL2に、以下同様にして、レジスタR1nとR2nの出力はセレクトアSELnに入力されている。各セレクトアSEL1～SELnは、クロックCLK3により制御され、前記データレジスタR11～R1nまたはR21～R2nのデータが択一的に出力される。このクロックCLK3は、前記クロックCLK1（あるいはCLK2）と同期した信号であり、例えば、CLK3がハイのとき前記データレジスタ列R11～R1nのデータを選択し、ローのときR21～R2nのデータを選択して出力するようになされている。

【0017】各セレクトアSEL1～SELnの出力はそれぞれ対応して設けられた排他的論理和回路XOR1～XORnに入力される。排他的論理和回路XOR1～XORnは、それぞれ各データレジスタの複数ビット（LSBからMSBまで）に対応する回路ブロックである。前記排他的論理和回路XOR1～XORnの各他方の入力には1ビットの拡散符号m1～mnが入力されており、各排他的論理和回路XOR1～XORnにおいて、各々対応する前記セレクトアSEL1～SELnからのデジタル化されたアナログ入力信号の各段のデータ（複数ビットを有する）と拡散符号系列の対応するビットm1～mnとの排他的論理和演算が行われる。拡散符号が「1」のとき、排他的論理和によりアナログ入力信号の各ビットは反転され、「0」のとき非反転となる。これは拡散符号との乗算と等価である。なお、この拡散符号m1～mnは、前記クロックCLK1（あるいはCLK2）と同期して循環シフトしつつ前記排他的論理和回路XOR1～XORnに印加されるようになされている。前記排他的論理和回路XOR1～XORnの出力a1～anはアナログ回路よりなる加算回路ADDに入力され、該加算回路ADDは前記排他的論理和回路XOR1～XORnの各出力a1～anの加算結果Aoutを出力する。ここで、前記排他的論理和回路XOR1～XORnの出力はデジタルデータであり、このデジタルの入力データをアナログ信号に変換して前記アナログ加算回路ADDで加算して、アナログの加算結果Aoutを出力するようにしている。

【0018】このように乗算に相当する演算までをデジタル演算とすることにより、全体をアナログ回路で構成した場合に比較して回路規模は小さくなり、消費電力も節減することができる。また、乗算結果の加算はアナログ回路により構成された加算回路ADDにより実行しているため、高速かつ高精度の演算を実行することができる。また、相互に半周期位相がシフトしているクロック

CLK1、CLK2を用いることによって、いわゆるダブルサンプリングが可能である。ダブルサンプリングを行わない場合には、前記データレジスタ列R11～R1nあるいはR21～R2nのいずれか一方だけを設け、前記セクタSEL1～SELnを省略することができる。さらにまた、上述のように2系統ではなく、さらに多数の系統のデータレジスタ列を設けても良い。

【0019】図3は、前記拡散符号m1～mnをマッチドフィルタMFの排他的論理和回路XOR1～XORnに前述したように循環シフトしつつ供給するための回路構成（乗数供給手段）の一構成例を示す図である。同図において、マッチドフィルタに対する拡散符号の供給は2系統の演算レジスタCAL-REG1、CAL-REG2によって行われ、これらレジスタには入力レジスタINP-REG1、INP-REG2がそれぞれ接続されている。各入力レジスタには別個の拡散符号Pa、Pbがそれぞれ入力され、これら拡散符号はそれぞれ対応する入力レジスタINP-REG1およびINP-REG2から演算レジスタCAL-REG1およびCAL-REG2にそれぞれ転送される。図示するように演算レジスタCAL-REG1、CAL-REG2はその最終段出力が初段に帰還されており、クロックCKによりその内容が循環シフトするようになされている。このクロックCKのタイミングは、前記データレジスタが前記A/D変換器の出力を取込むタイミングと同一タイミングとされ、通常、前記クロックCLK1と同じ信号が使用される。

【0020】演算レジスタCAL-REG1およびCAL-REG2内の各データはそれぞれ対応する位相・マルチプレクサPMUX1およびPMUX2にそれぞれ入力されている。各位相・マルチプレクサPMUX1およびPMUX2はそれぞれ対応する演算レジスタCAL-REG1、CAL-REG2のデータ配列をそのまま、あるいはその直前（1チップ時間前）の循環シフト状態のデータ配列を後段に出力する。各位相・マルチプレクサPMUX1、PMUX2の出力はレジスタ・マルチプレクサRMUXに入力され、CAL-REG1またはCAL-REG2の出力を択一的にMUXCNTとして出力する。この出力MUXCNTは、前記乗数データm1～mnとして、前記排他的論理和回路XOR1～XORnに入力されることとなる。そして、前記レジスタ・マルチプレクサRMUXを切り替えることにより、前記排他的論理和回路XOR1～XORnおよび前記アナログ加算回路ADDにおいて、演算レジスタCAL-REG1およびCAL-REG2に格納されている拡散符号系列に対する相関処理を時分割で実行することができる。

【0021】このように構成することにより、小規模回路によって、1シンボル以上の長遅延パスの受信、マルチコードの受信、ソフトハンドオーバー時の受信処理が可能とされている。すなわち、前記入力レジスタINP

—REG1およびINP—REG2に同一の拡散符号系列を入力し、前記演算レジスタCAL—REG1あるいはCAL—REG2において所定量だけずらせた拡散符号系列を循環シフトさせて前記位相・マルチプレクサPMUX1およびPMUX2、レジスタ・マルチプレクサRMUXを介して前記排他的論理和回路XOR1～nに入力することにより、1シンボル以上の長遅延パスの信号受信が可能となる。また、前記INP—REG1およびINP—REG2に異なる拡散符号系列を格納することにより、マルチコードの受信およびソフトハンドオーバー時の受信処理が可能となる。

【0022】さて、このように異なる拡散符号を用いて相関演算を行う場合には、CAL—REG1の拡散符号による相関ピークとCAL—REG2の拡散符号による相関ピークは同一タイミングで重複する可能性がある。

図5を参照して、この様子を説明する。図5において、

(1)は第1の拡散符号（コード1）に対するマルチパス受信信号の例、(2)は第2の拡散符号（コード2）に対するマルチパス受信信号の例を示す。また、この図において、Tsは1シンボル周期を示している。この図に示すように、コード1のパス1（P1）、パス2（P2）およびコード2のパス3（P3）はそれぞれ異なるタイミングとなっているが、コード1のパス4（P4）とコード2のパス5（P5）は同一タイミングとなっている。

【0023】そこで、本発明の前記位相・マルチプレクサPMUX1およびPMUX2は、前述のように、それぞれ対応する演算レジスタCAL—REG1、CAL—REG2のデータ配列をそのまま、あるいはその直前

（1チップ時間前）の循環シフト状態のデータ配列を後段に出力するように構成されている。図4は、前記位相・マルチプレクサPMUX1およびPMUX2の構成例を示すブロック図である。この図に示すように、位相・マルチプレクサPMUX1は演算レジスタCAL—REG1の初段（データD1で示す。）と第2段（データD2で示す。）に対応した2入力1出力のデータ・マルチプレクサDMUX1、第2段と第3段に対応したデータ・マルチプレクサDMUX2、…、第（n-1）段から最終段に対応したデータ・マルチプレクサDMUXn-1、最終段と初段に対応したデータ・マルチプレクサDMUXnのn個のデータ・マルチプレクサを有する。そして、これらデータ・マルチプレクサDMUX1～DMUXnを切り替えることにより、前記演算レジスタCAL—REG1に格納されている拡散符号系列およびそれを1チップ循環シフトした系列を切替えて前記位相・マルチプレクサPMUX1に供給することができるようになされている。

【0024】すなわち、前記データ・マルチプレクサDMUX1～DMUXnは、前記図5に示すP1～P3のタイミングのようにピーク重複のない通常の相関演算で

は、演算レジスタCAL-REG1の初段から最終段に格納されているD1~Dnをそれぞれ出力し、図5のP4、P5のようにピーク重複が生じるときには、その重複のあるタイミングでCAL-REG1の拡散符号による相関演算を行った後に、1チップ時間遅れたタイミングでCAL-REG2の拡散符号による相関演算を行う。

【0025】図5の(3)は、前記レジスタ・マルチプレクサRMUXに供給される制御信号の一例を示す図である。ここで、この制御信号がハイレベルのときに前記レジスタ・マルチプレクサRMUXは前記位相・マルチプレクサPMUX1を選択し、ローレベルのときに前記位相・マルチプレクサPMUX2を選択するものとし、前記第1の演算レジスタCAL-REG1には前記第1のコード(コード1)が格納されており、前記第2の演算レジスタCAL-REG2には前記第2のコード(コード2)が格納されているものとする。図5の(3)に示すように、前記コード1のマルチパスP1およびP2のタイミングに合わせて、制御信号をハイレベルとし、前記レジスタ・マルチプレクサRMUXは前記演算レジスタCAL-REG1に格納されているコード1を出力する。このとき、前記位相・マルチプレクサPMUX1内の前記データ・マルチプレクサDMUX1~DMUXnは、前記演算レジスタCAL-REG1の初段から最終段に格納されているD1~Dnをそのまま出力するように設定されている。これにより、前記コード1による受信が行われる。

【0026】次に、前記コード2のマルチパスP3およびP5のタイミングに合うように前記制御信号をローレベルにして、前記レジスタ・マルチプレクサRMUXを位相マルチプレクサPMUX2を接続するように切り替える。これにより、前述の場合と同様にして、前記演算レジスタCAL-REG2に格納されているコード2による受信が行われる。ここで、図示するように、マルチパスP5のタイミングは、コード1によるマルチパスP4のタイミングと重複しているため、どちらかを遅らせて受信しなければならない。そこで、この例では、前記コード2によるマルチパスP5の受信の1チップ後に、前記制御信号をハイレベルとし、コード1による受信を行う。このとき、コード1、コード2の両演算におけるデータの状態は同一でなければならないので、前記位相・マルチプレクサPMUX1内の前記データ・マルチプレクサDMUX1~DMUXnを切替えて、1チップだけ循環シフトしたデータD2~DnおよびD1をそれぞれ出力する。これは1チップ時間前のD1~Dnに対応するデータである。なお、位相・マルチプレクサPMUX2は前記位相・マルチプレクサPMUX1と同様に構

*成されているので説明を省略する。また複数チップ時間前のデータ列を再現し得るように多入力1出力のマルチプレクサを用いれば、複数演算レジスタのピーク重複や連続的ピーク重複に対応し得る。

【0027】次に、前記アナログ加算回路ADDについて説明する。図6(a)は、前記アナログ加算回路ADDの一般構成を示すブロック図である。前記排他的論理和回路XOR1~XORnの各出力a1~anは、対応して設けられたD/A変換器(M)1DACに入力され、それぞれ対応する電圧を有するアナログ信号に変換される。ここで、前記出力a1~anはそれぞれMビットのデータであるとする。図6(b)はD/A変換器(M)1DACの構成を示し、排他的論理和回路XORの各出力ビットにそれぞれ対応して設けられたM個の1ビットのD/A変換器1DACにより構成されている。各D/A変換器(M)1DACから出力される前記排他的論理和回路XOR1~XORnの各桁の出力が変換されたアナログ信号は、それぞれ対応する桁の加算を行うアナログ加算器1~アナログ加算器Mに入力される。各アナログ加算器1~アナログ加算器Mからの各桁毎の加算結果は、重み付け加算器に入力され、それぞれの桁に対応する重みを付加されて加算される。

【0028】図7は、前記アナログ加算回路ADDの一構成例を示す図である。この例は、前記排他的論理和回路XOR1~XORnの出力を、前記D/A変換器を介することなくそのまま前記加算器1~加算器Mに入力した例である。図7において、加算回路ADDは各排他的論理和回路出力の対応ビット、すなわち最上位ビット、第2位ビット、...、最下位ビットがそれぞれ入力されたアナログ加算器7₁~7_nを有し、これらアナログ加算器7₁~7_nの出力はさらに重み付き加算器9によって重み付加算されている。この重み付加算は、各ビットの合計値にそのビットの重みを乗じつつ統合加算するもので、XOR1~XORnの出力和のアナログ値となる。

【0029】加算器7₁はXOR1~XORnの出力X'11、X'21、...、X'N1に対応したキャパシタンスC11~CN1の出力を統合してなる容量結合を有し、この容量結合の出力に反転増幅回路81が接続されている。反転増幅回路81の出力は帰還キャパシタンスCf1によってその入力に接続され、加算回路の出力の線形特性が補償されている。ここでC11~CN1への入力をX'11、X'21、...、X'N1とすると、加算器7₁の出力Vo71は式(1)のとおりとなる。なおC11=C21=...=CN1=Cf1/Nであり、反転増幅回路のオフセット電圧をVbとする。

【数1】

$$V_{o71} - V_b = -\frac{\sum_{i=1}^N (X'_{i1} - V_b) \cdot C_{i1}}{C_{f1}} = -\frac{\sum_{i=1}^N X'_{i1}}{N} + V_b \quad (1)$$

ここに加算器 7₂～7₄は同様の構成であるので説明を省略する。

【0030】重み付き加算器 9 は加算器 7₁～7₄に対応したキャパシタンス C₁～C_Mの出力を統合してなる容量結合と、この容量結合の出力に接続された反転増幅回路 10 を有し、反転増幅回路の出力は帰還キャパシタンス C_fによってその入力に接続されている。C₁～C_M*

* は前記 A/D 変換回路最上位ビット～最下位ビットの重み、すなわち 2ⁿ⁻¹, 2ⁿ⁻², ..., 2², 2¹, 2⁰に比例した容量を有し、C_fと C₁～C_Mの関係は式 (2) のとおりである。また C₁～C_Mに対する入力電圧を V₁～V_Mとすると、出力電圧 V_{o9} は式 (3) で表現される。

【数 2】

$$C_f = \sum_{i=1}^M C_i \quad (2)$$

$$V_{o9} - V_b = -\frac{\sum_{i=1}^M (V_i - V_b) \cdot C_i}{C_f} = -\sum_{i=1}^M 2^{i-1} \cdot V_i + V_b \quad (3)$$

【0031】図 8 は前記反転増幅回路 81 を C_{f1}、C₁₁～C_{N1}とともに示したものであり、反転増幅回路は 3 段の CMOS インバータ INV1、INV2、INV3 を直列してなる。図 7 では省略されているが、C_{f1}と反転増幅回路出力の間にはマルチプレクサ MUX6 が接続され、MUX6 は C_{f1} 出力側を反転増幅回路出力または基準電圧 V_{ref} に接続する。反転増幅回路の入力はスイッチ SW62 によってグラウンドに接続可能であり、また C_{f1} の入出力はスイッチ SW61 によって短絡可能である。MUX6 を V_{ref} に接続し、かつ SW61 を閉成することにより、C_{f1} の電荷は解消されていわゆるリフレッシュが行なわれる。一方 SW62 によって反転増幅回路 INV1 のゲート入力をグラウンドに接続し、かつ SW61 を開放すると、各 CMOS インバータはスリープ状態となり、電力消費が防止される。さらに C₁₁～C_{N1}の入力にはマルチプレクサ MUX11～MUXN1 が接続され、これマルチプレクサによって C₁₁～C_{N1}はそれぞれ X'₁₁～X'_{N1}または V_{ref} に択一的に接続される。リフレッシュ状態においては、C₁₁～C_{N1}は V_{ref} に接続される。

【0032】反転増幅回路 81 は、初段インバータと第 2 段インバータの間に MOS 抵抗 MR1 が接続され、全体のゲインが抑制されている。また最終段インバータの入出力間には MOS 抵抗 MR2 およびキャパシタンス C_{P6} を直列した位相補償回路が接続され、前記ゲイン抑制効果とあいまって反転増幅回路の発振が防止されている。

【0033】前述のように、前記スイッチ SW62 により反転増幅器 81 をスリープ状態とすることができるため、相関ピーク以外のタイミングで、このスイッチ SW62 を開放することにより消費電力を低減することがで

きる。また、このように相関ピーク以外のタイミングで反転増幅器 81 をスリープ状態として加算器 ADD の電力消費をなくしても、前記乗数供給回路における演算レジスタ CAL-REG1、CAL-REG2 の循環動作を行われている。そこで、前記演算レジスタ CAL-REG1 および CAL-REG2 を相関ピークのタイミングに対応するように循環させ、相関ピーク以外のタイミングでは循環動作を停止させるようにする。これにより、消費電力をより低減することが可能となる。ただし、この場合には、前記演算レジスタ CAL-REG1 および CAL-REG2 として、1 クロックで任意の段にシフト可能なジグザグ型シフトレジスタを使用することとなる。

【0034】さて、前記図 7 に示した実施の形態では、前記排他的論理和回路 XOR1～XORn の出力をそのまま前記アナログ加算器の入力に印加していたが、ノイズの影響等を排除するために、外部の電圧供給源から、高レベル電圧 V_H および低レベル電圧 V_L を供給することが望ましい。外部から高レベル電圧および低レベル電圧を供給するようにした実施の形態について、図 9 を参照して説明する。図 9 に示すように、この実施の形態では、前記排他的論理和回路 XOR の出力 X'₁～X'_Mにそれぞれ対応してセレクト SEL11～SEL1M が設けられており、各セレクト SEL11～SEL1M の出力は対応する前記アナログ加算器の入力側のキャパシタンスに接続される。各セレクト SEL11～SEL1M には、入力信号として外部から供給される高レベル電圧 V_H、低レベル電圧 V_L および基準電圧 V_{ref} が供給されており、制御信号として前記排他的論理和回路 XOR のビット出力およびリフレッシュ制御信号 CR が供給されている。そして、前記排他的論理和回路 XOR の出

カビットがハイレベルのとき前記高レベル電圧V_Hを出力し、XORの出力ビットがローレベルのとき前記低レベル電圧V_Lを出力し、前記リフレッシュ制御信号C_Rがハイレベルのとき、前記基準電圧V_{ref}を出力するように制御される。このように構成することにより、前記外部から供給されるノイズのない電圧をアナログ加算器入力することが可能となり、より高精度の演算が可能となる。

【0035】図10の(a)は、回路規模を小さくすることのできる他の実施の形態の構成を示す図である。この実施の形態では、2つの排他的論理和回路の出力に基づく電圧をセレクトから出力するようにしており、前記アナログ加算器への入力を半分に減らすことができる。したがって、回路規模をより小さくすることが可能である。図10の(a)に示すように、この実施の形態におけるセレクトSEL21～SEL2Mには、制御信号として、第1の排他的論理和回路XOR1と第2の排他的論理和回路XOR2の対応する桁の出力データX1、X2および前記リフレッシュ制御信号C_Rが入力されている。この実施の形態のセレクトSEL21～SEL2Mは図10の(b)に示す真理値表にしたがって出力電圧V_H、V_{ref}あるいはV_Lを選択して出力する。また、リフレッシュ制御信号C_Rがハイレベルのときには基準電圧V_{ref}が出力される。このように、この実施の形態によれば、2つの排他的論理和回路XOR1およびXOR2について1つの電圧出力が得られ、アナログ加算器に入力することとなるため、アナログ加算器に入力数を半減することが可能となる。

【0036】図11は本発明のマッチドフィルタの第2の実施の形態を示す図である。この図に示すようにこの実施の形態では、前記図2に示した実施の形態のようにデータレジスタに循環的にデータを取り込む構成に替えて、データをシフトレジスタSFREG71、SFREG

$$Cf9 = \sum_{i=1}^M C91i$$

$$Aout - Vb = - \frac{\sum_{i=1}^M C91i \cdot (Ai - Vb)}{Cf9} = - \sum_{i=1}^M 2^{i-1} \cdot Ai + Vb \quad (5)$$

【0039】図14は、前記図13における小加算回路ADD2Sの構成を示す図である。この図に示すように、前記小加算回路ADD2S1は符号ビットと乗数との排他的論理和s1～snが制御信号として入力されたセレクトSEL91～SEL9nを有し、これらセレクトSEL91～SEL9nには基準電圧V_{ref}および前記データa1～anが入力されている。セレクトSEL91～SEL9nはその出力を、キャパシタンスC1011～C101nよりなる容量結合、またはC102

*G72に入力して、順次後段にシフトする。この場合には、拡散符号を固定した状態で演算が可能である。各シフトレジスタの各段の出力は前記と同様のセレクトSEL1～SELnに入力され、その後段の排他的論理和回路、加算回路も同様である。

【0037】図12は前記A/D変換回路の出力を符号付きデジタルデータとした実施の形態である。この図に示すように、前記A/D変換回路からは、絶対値を示すデジタルデータaおよび符号ビットsが出力されている。これらa、sは、前述の場合と同様に、データレジスタ列R11～R1nおよびR21～R2nに入力され、セレクトSEL1～SELnによってレジスタ列R11～R1nまたはR21～R2nが選択される。SEL1～SELnの出力のうち符号ビットs1～snは排他的論理和回路XOR1～XORnに入力され、絶対値a1～anは直接加算回路ADD2に入力される。

【0038】図13は、前記図12に示す加算回路ADD2の構成を示す図である。この図に示すように、前記加算回路ADD2はA/D変換器出力のビット数（符号ビットを除く）に対応したM個の小加算回路ADD2S1～ADD2SMを有し、これら小加算回路の出力は統合加算回路に入力されている。統合加算回路は、複数のキャパシタンスC911～C91Mよりなる容量結合の出力を、反転増幅回路INV91に入力し、この反転増幅回路INV91の入出力を帰還キャパシタンスCf9によって接続している。この統合加算回路は各小加算回路の出力をそのビットの重みに応じた重みをもって加算する。ここにキャパシタンスC911～C91Mは $2^{-1}, 2^{-2}, \dots, 2^{-1}, 2^{-2}$ に比例した容量を有し、Cf9とC911～C91Mの関係は式(4)のとおりである。このときADD2の出力Aoutは式(5)で表現される。

【数3】

(4)

1～C102nよりなる容量結合にそれぞれ導く。容量結合(C1011～C101n)の出力は反転増幅回路INV101に接続され、INV101の出力は帰還キャパシタンスCf101によってその入力に接続されている。容量結合(C1021～C102n)の出力および反転増幅回路INV101の出力は、キャパシタンスC1よりなる容量結合によって反転増幅回路INV102に接続され、INV102の出力は帰還キャパシタンスCf102を介してその入力に接続されている。な

おADD2S2～ADD2SMはADD2S1と同様に構成されているので説明を省略する。

【0040】このような構成において、符号ビットと乗数とのXOR演算結果が「0」（正）のときセクタは入力を容量結合（C1011～C101n）に導き、

「1」（負）のときC1021～C102nに導く。小加算回路は各ビットの出力を単純加算し、前記統合加算＊

$$\begin{aligned} A1 - Vb &= \frac{CC1}{Cf101 \cdot Cf102} \sum_{i=1}^n \{(\overline{si} \cdot ai + si \cdot Vref) - Vb\} \cdot C101i \\ &\quad - \frac{1}{Cf102} \sum_{i=1}^n \{(si \cdot ai + \overline{si} \cdot Vref) - Vb\} \cdot C102i \\ &= \frac{1}{n} \sum_{i=1}^n \{(\overline{si} - si)(ai - Vref)\} \end{aligned} \quad (6)$$

$$Cf101 = \sum_{i=1}^n C101i \quad (7)$$

$$CC1 = Cf102 = \sum_{i=1}^n C102i \quad (8)$$

【0041】なお、前記図6、図7および図13のように複数データのビット毎の単純和（重み無）を先に求め、これにビット重みを乗じて加算する構成に替えて、例えば、図7のXOR1出力X'11～X'1Mに対してビット重みに対応した重み付加算を行い、同様の演算をXOR2～XORnについて行って、その結果を単純加算することも可能である。但し、重み付加算回路が増加し、キャパシタンス形成のための単位キャパシタンス 30 個数が増加する等、回路規模は大となる。

【0042】図15は、前記アナログ加算回路の他の実※

$$Vo101 - Vb = - \frac{\sum_{i=1}^N \frac{(X'_{i1} - Vb)}{Ri1}}{\frac{1}{Rf1}} = - \frac{1}{N} \sum_{i=1}^N X'_{i1} + Vb \quad (9)$$

従って、加算（単純加算）が実行されていることが分る。

【0043】図16は加算回路のさらに他の実施の形態 40 のための構成を示し、図7の重み付き加算器9に対応した重み付き加算器9Rを図示する。重み付き加算器9RはC1～CMに対応したレジスタンスR1～RMよりなるレジスタンス結合を反転増幅回路10Rに接続してな★

＊回路とともに、式（6）のA1で表現される加減算を実行する。なおC1011=C1012=...=C101n=C1021=C1022=...=C102n=CC1/n=Cf101/n=Cf102/nとし、さらに式（7）、（8）の関係が成立するものとする。

【数4】

※施の形態のための構成を示し、前記図7の加算器7,に対応した加算器71Rを図示する。加算器71RはC11～CN1に対応したレジスタンスR11～RN1よりなるレジスタンス結合を反転増幅回路81Rに接続してなり、反転増幅回路の出力は帰還レジスタンスRf1によってその入力に接続されている。各レジスタンスR11～RN1に対する入力をX'11～X'N1とし、N・Rf1=R11=R21=...=RN1とすると、出力Vo101は式（9）で表現される。

【数5】

★り、反転増幅回路の出力は帰還レジスタンスRfによってその入力に接続されている。各レジスタンスR1～RMに対する入力をVo101～Vo10Mとすると、MRf、R1～RMの関係は式（10）のように設定され、出力Aoutは式（11）で表現される。

【数6】

$$Rf = RM = 2^{-1}RM - 1 = 2^{-2}RM - 2 = \dots = 2^{-(M-1)}R1 \quad (10)$$

$$Aout - Vb = -\frac{\sum_{i=1}^M \frac{(V_{o10i} - Vb)}{Ri}}{\frac{1}{Rf}} = -\sum_{i=1}^M 2^{i-1} \cdot V_{o10i} + Vb \quad (11)$$

従って、重み付加算が実行されていることが分る。

【0044】図17は、前記図8のCMOSインバータ型反転増幅回路に替えてMOS差動増幅器DAMPを使用した実施例を示す図である。この実施例では容量結合の出力がDAMPの反転入力に接続され、非反転入力接地されている。DAMPの出力は帰還キャパシタンスCF13を介してその入力に接続されている。

【0045】図18は図17のDAMPの構成例を示す図である。この図に示すように、MOS差動増幅器DAMPは電源Vddと定電流源ISとの間で直列に接続されたMOSトランジスタ対T131、T133およびこれと対称なトランジスタ対T132、T134を有す。T131、T132はそのゲートが相互に接続され、さらにT133のドレインに接続されている。入力信号Vi13はT133のゲートに入力され、T134のゲートは接地されている。そしてT134のドレインが出力端子に接続されている。そして定電流源ISには制御信号SWVが入力され、適宜ISを遮断して、DAMPをスリープ状態とし得る。これによって適時DAMPの電力消費を停止し得る。

【0046】図19は、以上のマッチドフィルタを適用したDS-CDMA用信号受信装置の他の実施の形態を示す図である。この図において、アナログ入力信号AinはA/D変換回路を経た後マッチドフィルタMFに入力され、同時にスライディング相関器SC1、SC2、SC3に入力されている。ここで、前記マッチドフィルタMFは入力信号Ainに対する初期同期に使用され、初期同期完了後はスライディング相関器による復調を行う。これによってマッチドフィルタMFにおける消費電力を大幅に節減し得る。初期同期後のトラッキングについては間欠的にマッチドフィルタMFを使用し、あるいは別個のDLL(delay-locked loop)を使用する。DLLを用いた場合は消費電力の点で有利であるが別個の回路が必要になり、回路規模では不利である。初期同期に際しては、マッチドフィルタ出力はフレーム同期等のための回路121に入力され、この回路から符号生成、制御のための回路122に与えられた信号に基づいて、SC1～SC3の同期タイミングが設定される。スライディング相関器SC1～SC3の出力はレーク合成その他のための回路123に入力される。また、スライディング相関器は一般にデジタル回路で構成されるため、マッチドフィルタへの入力をデジタル化しておけば両者の*

* 整合性が良好となる。

【0047】

【発明の効果】前述のとおり、本発明に係るマッチドフィルタは、時系列のアナログ入力信号をA/D変換してデジタルデータとして保持し、1ビットの拡散符号とのデジタルデータ各ビットとの排他的論理和により乗算と等価な処理を行い、その後アナログ加算を行うので、低消費電力という特徴を保持しつつ回路規模を大幅に縮小し得るという優れた効果を有する。

【図面の簡単な説明】

【図1】 本発明のマッチドフィルタを用いたDS-CDMAセルラシステムの信号受信装置の一実施の形態を示すブロック図である。

【図2】 本発明に係るマッチドフィルタの一実施の形態を示すブロック図である。

【図3】 同2に示したマッチドフィルタにおける拡散符号のためのレジスタを示すブロック図である。

【図4】 図3における位相マルチプレクサの構成例を示すブロック図である。

【図5】 相関ピークのタイミングの重複を説明するための図である。

【図6】 図2に示したマッチドフィルタにおけるアナログ加算回路の一例を示すブロック図である。

【図7】 図2に示したマッチドフィルタにおけるアナログ加算回路の一構成例を示す図である。

【図8】 図7における反転増幅回路の構成例を示す回路図である。

【図9】 排他的論理和回路の構成例を示す図である。

【図10】 排他的論理和回路の他の構成例を示す図である。

【図11】 本発明のマッチドフィルタの第2の実施の形態の構成を示すブロック図である。

【図12】 本発明のマッチドフィルタの第3の実施の形態の構成を示すブロック図である。

【図13】 図12に示した実施の形態における加算回路の構成例を示す回路図である。

【図14】 同12に示した実施の形態における小加算回路の構成例を示す回路図である。

【図15】 アナログ加算器の他の構成例を示す回路図である。

【図16】 図15の加算器とともに用いられる加算器の構成例を示す回路図である。

【図17】 アナログ加算器の他の構成例を示す回路図である。

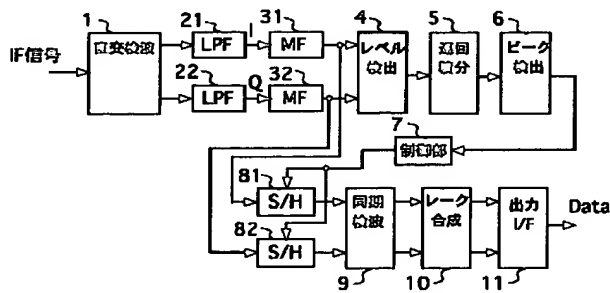
【図18】 図17に示したアナログ加算器におけるMOS差動増幅器の構成例を示す図である。

【図19】 本発明のDS-CDMAセルラシステム用信号受信装置の他の実施の形態を示すブロック図である。

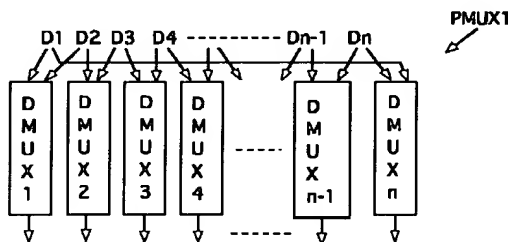
【符号の説明】

- 1 検波器
- 21、22 ローパスフィルタ
- 31、32 マッチドフィルタ
- 4 レベル検出回路
- 5 巡回積分回路
- 6 ピーク検出回路
- 7 制御部
- 71～71n、71R、9、9R 加算器
- 81～8M 反転増幅回路
- 81、82 サンプルホールド回路
- 9 同期検波回路
- 10 レーク合成回路
- 11 出力I/F
- 121～123 回路
- A/D A/D変換器
- R11～R1n、R21～R2n レジスタ
- SEL1～SELn セレクタ
- XOR1～XORn 排他的論理和回路

【図1】



【図4】



* ADD、ADD2 加算回路

ADD2S1～ADD2Sn 小加算回路

CAL-REG1、CAL-REG2 演算レジスタ

INP-REG1、INP-REG2 入力レジスタ

PMUX1、PMUX2 位相マルチプレクサ

DMUX1～DMUXn データマルチプレクサ

MUX6 マルチプレクサ

SW61、SW62 スイッチ

C1～CM、C11～CN1、C12～CN2、CIM

10 ～CNM、CP6、C911～C91n、C921～C

92n、CC1、CC2、C131～C13nキャパシ

タンス

C1O、C20、Cf1～CfM、Cf、CF 帰還キ

ャパシタンス

INV1～INV3、INV91、INV92 CMO

Sインバータ

MR1、MR2 MOS抵抗

SFREG1、SFREGF2 シフトレジスタ

R11～RN1、R1～RN レジスタンス

20 Rf1、Rf 帰還レジスタンス・

SC1～SC3 スライディング相関器

DAMP MOS差動増幅器

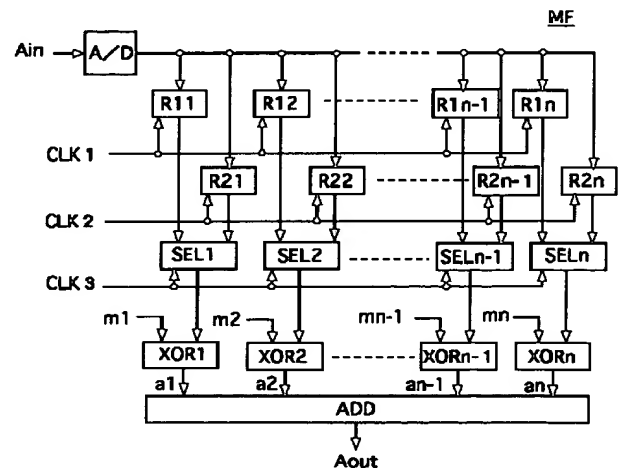
T131～T134 トランジスタ

IS 定電流源

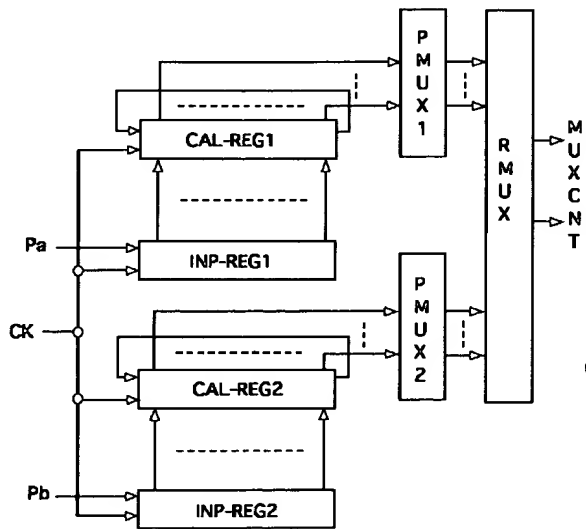
SWV 制御信号

* Vref 基準電圧

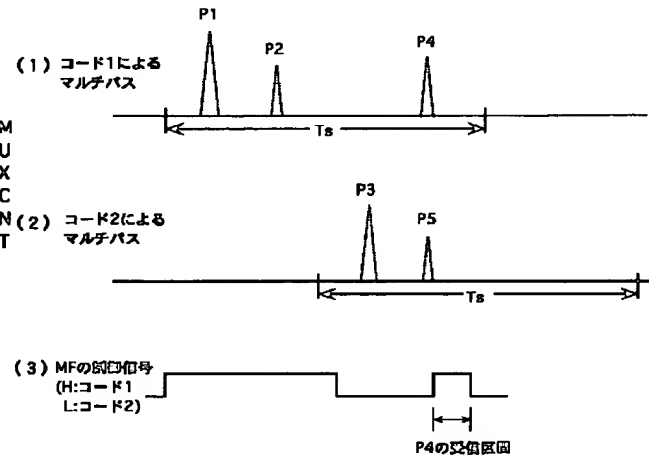
【図2】



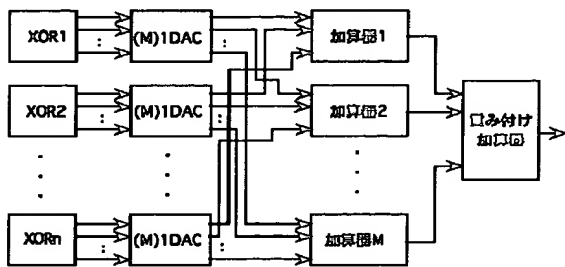
【図3】



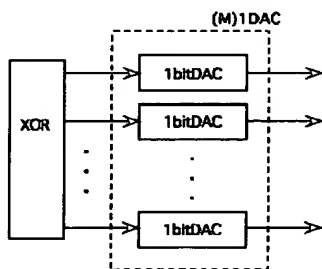
【図5】



【図6】

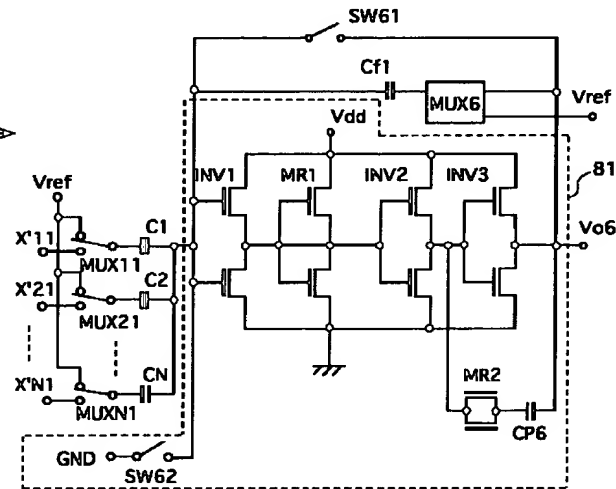


(a)

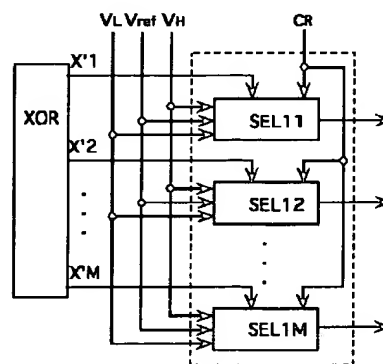


(b)

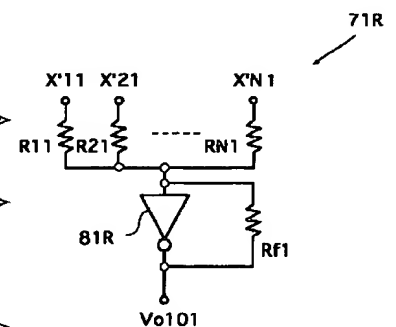
【図8】



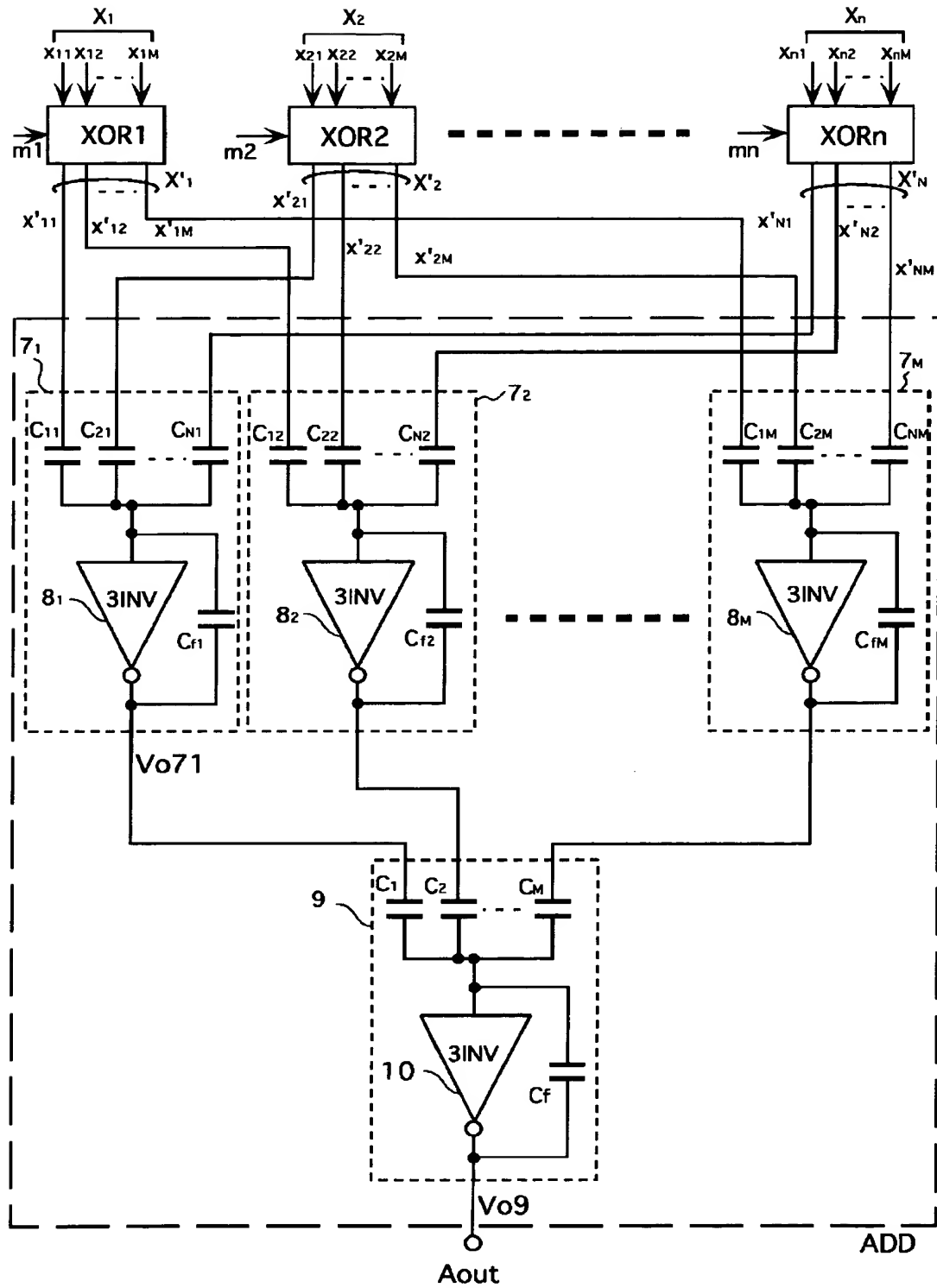
【図9】



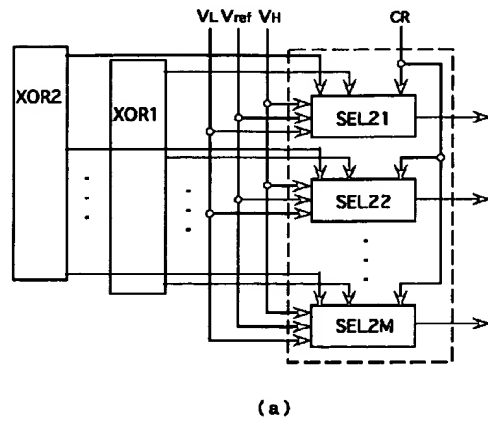
【図15】



【図 7】



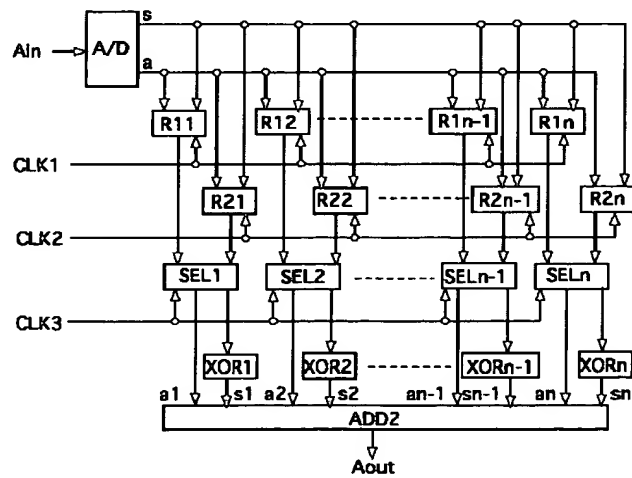
【図 10】



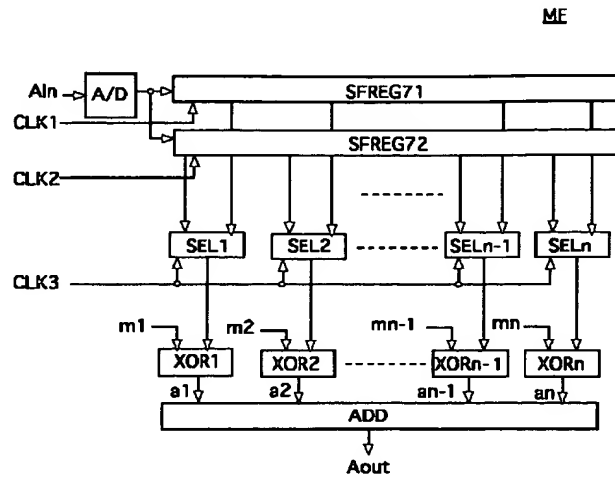
X1	X2	Out
1	1	VH
1	0	Vref
0	1	Vref
0	0	VL

(b)

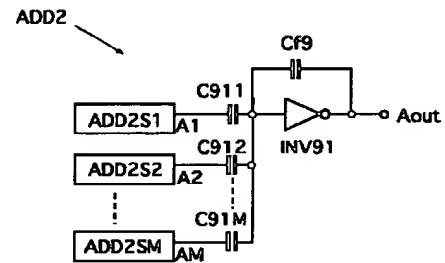
【図 12】



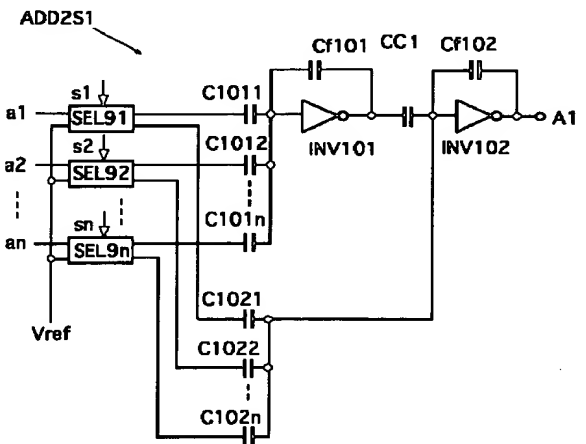
【図 11】



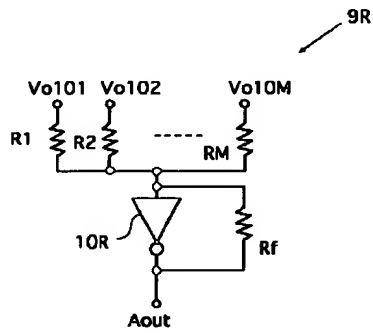
【図 13】



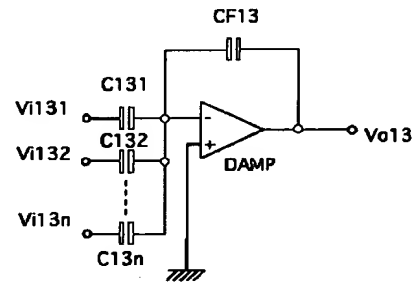
【図 14】



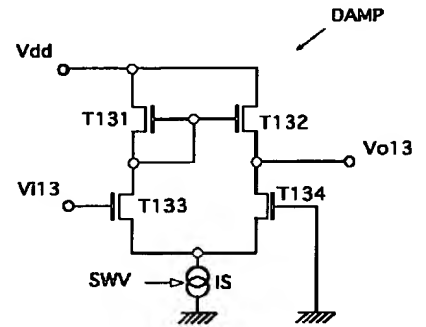
【図 16】



【図 17】



【図 18】



【図 19】

